

ҚАЗАҚСТАН РЕСПУБЛИКАСЫ БІЛІМ ЖӘНЕ ҒЫЛЫМ МИНИСТРЛІГІ
Л.Н. ГУМИЛЕВ АТЫНДАҒЫ ЕУРАЗИЯ ҰЛТТЫҚ УНИВЕРСИТЕТІ



Студенттер мен жас ғалымдардың
«ҒЫЛЫМ ЖӘНЕ БІЛІМ - 2016» атты
XI Халықаралық ғылыми конференциясының
БАЯНДАМАЛАР ЖИНАҒЫ

СБОРНИК МАТЕРИАЛОВ
XI Международной научной конференции
студентов и молодых ученых
«НАУКА И ОБРАЗОВАНИЕ - 2016»

PROCEEDINGS
of the XI International Scientific Conference
for students and young scholars
«SCIENCE AND EDUCATION - 2016»

2016 жыл 14 сәуір
Астана

**ҚАЗАҚСТАН РЕСПУБЛИКАСЫ БІЛІМ ЖӘНЕ ҒЫЛЫМ МИНИСТРЛІГІ
Л.Н. ГУМИЛЕВ АТЫНДАҒЫ ЕУРАЗИЯ ҰЛТТЫҚ УНИВЕРСИТЕТІ**

**Студенттер мен жас ғалымдардың
«Ғылым және білім - 2016»
атты XI Халықаралық ғылыми конференциясының
БАЯНДАМАЛАР ЖИНАҒЫ**

**СБОРНИК МАТЕРИАЛОВ
XI Международной научной конференции
студентов и молодых ученых
«Наука и образование - 2016»**

**PROCEEDINGS
of the XI International Scientific Conference
for students and young scholars
«Science and education - 2016»**

2016 жыл 14 сәуір

Астана

ӘӨЖ 001:37(063)

КБЖ 72:74

F 96

F96 «Ғылым және білім – 2016» атты студенттер мен жас ғалымдардың XI Халық. ғыл. конф. = XI Межд. науч. конф. студентов и молодых ученых «Наука и образование - 2016» = The XI International Scientific Conference for students and young scholars «Science and education - 2016» . – Астана: <http://www.enu.kz/ru/nauka/nauka-i-obrazovanie/>, 2016. – б. (қазақша, орысша, ағылшынша).

ISBN 978-9965-31-764-4

Жинаққа студенттердің, магистранттардың, докторанттардың және жас ғалымдардың жаратылыстану-техникалық және гуманитарлық ғылымдардың өзекті мәселелері бойынша баяндамалары енгізілген.

The proceedings are the papers of students, undergraduates, doctoral students and young researchers on topical issues of natural and technical sciences and humanities.

В сборник вошли доклады студентов, магистрантов, докторантов и молодых ученых по актуальным вопросам естественно-технических и гуманитарных наук.

ӘӨЖ 001:37(063)

КБЖ 72:74

ISBN 978-9965-31-764-4

©Л.Н. Гумилев атындағы Еуразия
ұлттық университеті, 2016

встраивание описаний различных подпрограмм на языках программирования высокого уровня (Си, Паскаль и т.д.) в качестве реализации функций и процедур. В этом стиле удобно разрабатывать описание устройств высокого уровня сложности (ЭВМ, процессоры, контроллеры различных устройств, сложные последовательные схемы и т.д.). При поведенческом описании компоненты могут вводиться на любых иерархических уровнях, что позволяет пользоваться библиотечными наборами готовых логических и архитектурных решений. Немаловажное значение для качества проектирования имеет возможность оптимизации исходного поведенческого описания. Так, например, введение неоправданно большого количества дополнительных, промежуточных сигналов и переменных способно привести к совершенно неработоспособному проекту [1].

В настоящее время язык VHDL используется для работы с вычислительными системами всех уровней сложности. Различные этапы проектами могут выполняться различными группами разработчиков. Поведенческое и потоковое описание устройства могут служить коммерческим результатом проекта. Эти данные после передачи заказчику могут быть использованы для дальнейшей проработки и структурной конкретизации проекта.

Одним из примеров применения VHDL при проектировании реальных устройств является использование его при программировании ПЛИС Altera MAX II, предназначенная для изучения и освоения работы схем на базе микросхемы программируемой логики. Данная микросхема является частью отладочной платы Cyclon II FPGA Starter Board, обеспечивающей пользователей всеми необходимыми средствами для создания и тестирования проектов без необходимости использования дополнительных средств (микроконтроллеров, контроллеров памяти и так далее).

Применение языка VHDL на различных этапах проектирования устройств значительно повышает эффективность проектирования, позволяет создавать понятные модели проектируемых устройств и эффективно выполнять соответствующее имитационное моделирование, обладая при необходимости независимостью от конкретных аппаратных структур [3].

Список использованных источников

1. Ивченко В. Г. Применение языка VHDL при проектировании специальных // СБИС. Т.: ТГРУ, 2000. С. 1-15, 45-47.
2. Сергиенко А. М. VHDL для проектирования вычислительных устройств. - М.: DiaSoft, 2003, С. 6-9, 25-30
3. Cyclone II FPGA Starter Development Board. Reference manual. // San-Jose.:Altera, 2006. С. 1-6.

УДК 621.3

МОДЕЛИРОВАНИЕ НА МАКЕТНОЙ ПЛАТЕ ЛОГИЧЕСКОГО ЭЛЕМЕНТА И - НЕ И RS – ТРИГГЕРА

Буртебаев Куаныш, Жубаналин Нургелды, Сериков Бейбут

Студенты ЕНУ им. Л.Н.Гумилева, Астана, Казахстан

Научный руководитель – Б. К. Жармакин

При реализации работающих схем всегда возникает проблема визуализации происходящих переходных процессов внутри данных схем. Для этого необходимо производить индикацию переключения логических состояний входных и выходных сигналов.

Изменение значения определенной величины можно отобразить как изменение заданного уровня напряжения. Для сигнализации о наступившем изменении значения наблюдаемой величины требуется соответствующее включение элементов индикации ко входу (или выходу) логического элемента. Это можно реализовать многими способами. На рисунке 1 приведена схема включения светодиода к выходу D – триггера.

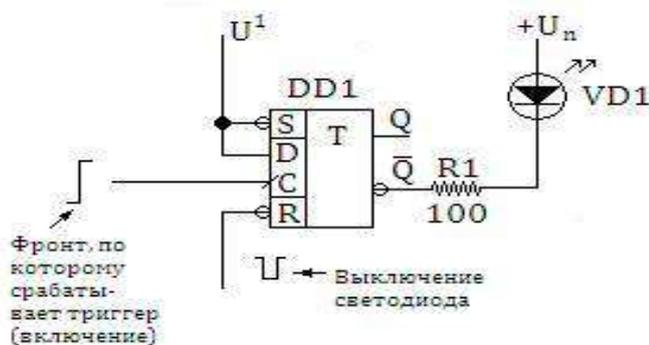


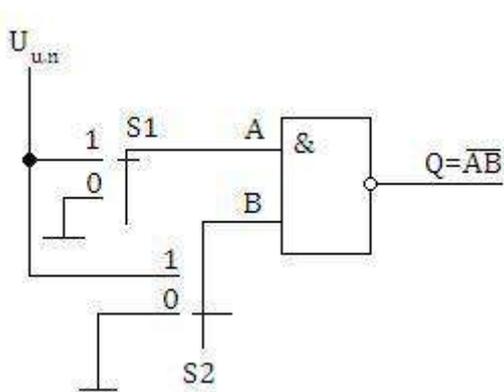
Рисунок 1. Схема индикации уровня сигнала

Переключение входных элементов можно организовать с помощью простейших переключателей. На рисунке 2 а. показано, каким образом можно подводить к входам логического элемента сигналы «0»-го и «1»-го уровней с помощью переключателей S1 и S2. На рисунке 2 б. показаны простейшая схема реализации данного элемента и таблица истинности.

Таким образом, с помощью переключателей можно смоделировать входные сигналы и с помощью светодиодов можно организовать визуальную индикацию данных сигналов.

В настоящее время моделировать процессы стало еще проще. С появлением макетных плат (breadboard) появилась возможность создавать электронные цепи любой конфигурации без применения паяльника - просто втыкая ножки элементов схемы в отверстия платы.

Основа платы - последовательность вертикальных полосок-проводников по пять дырок над каждой. Если воткнуть два провода в две дырки над одной и той же вертикальной полосой, они будут соединены в цепь. Две соседние полоски никак не соединены, поэтому втыкая одни концы элементов в одни вертикальные полоски, а другие концы тех же элементов втыкать в другие, можно выстраивать последовательные цепи любой конфигурации. После этого с горизонтальной полосы с плюсом на одну из вертикальных полос через провод подается плюс, а с горизонтальной полосы с минусом в другую часть цепи через другой провод подается минус, и вся схема начинает работать.



а)

Вход		Выход Q
A	B	
1	1	0
1	0	0
0	1	0
0	0	1

б)

Рисунок 2. Логический элемент И – НЕ
а) управление элементом И – НЕ; б) таблица состояний

Булевы переменные определяются уровнем напряжения на участке цепи, с которого снимаем значение. За TRUE = 1 = HIGH принимаем значение плюс (+) ("напряжение HIGH"), за FALSE = 0 = LOW принимаем минус (-) или землю ("напряжение LOW"). Для того, чтобы воочию проверить текущее булево значение на выбранном участке, можно использовать светодиод - подключить к точке снятия значения анод (длинная ножка), катод (короткая ножка) при этом подключить к минусу. Если в точку подключения анода подан плюс (+), т.е. снимаемое значение должно быть TRUE, ток потечет от анода к катоду через светодиод и его лампочка загорится. Если в точке подключения анода будет минус или земля, ток не потечет, лампочка не загорится - снятое значение - FALSE.

В качестве первого примера рассмотрим физическую реализацию элементарного булева оператора И – НЕ. Для реализации схемы показанной на рисунке 2 достаточно: для имитации подачи «0» и «1» на входы микросхемы применим провода, 1 светодиод для индикации выходного состояния логической «1» на микросхеме реализующий функцию И – НЕ K155ЛА3 (зарубежный аналог МН7400).

Следующим примером мы взяли RS- триггер на элементах И - НЕ. Для удобства мы применили два ИС. В первой реализован функция И – НЕ, а во второй RS- триггер, схема которого показана на рис. 3.

На фотографии (рис. 4.) показана реализация наших примеров на макетной плате. В левой части показан RS- триггер, а в правой элемент И - НЕ.

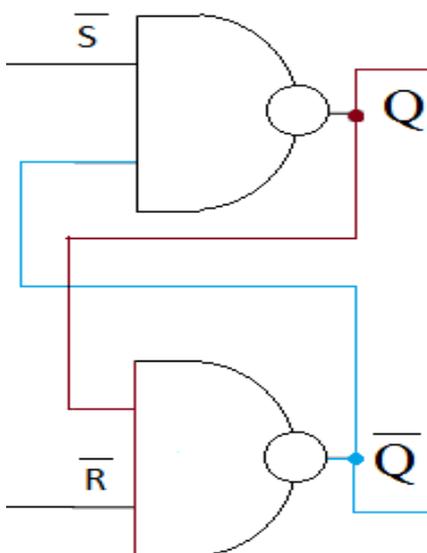


Рисунок 3. Схема RS - триггера на элементах И – НЕ

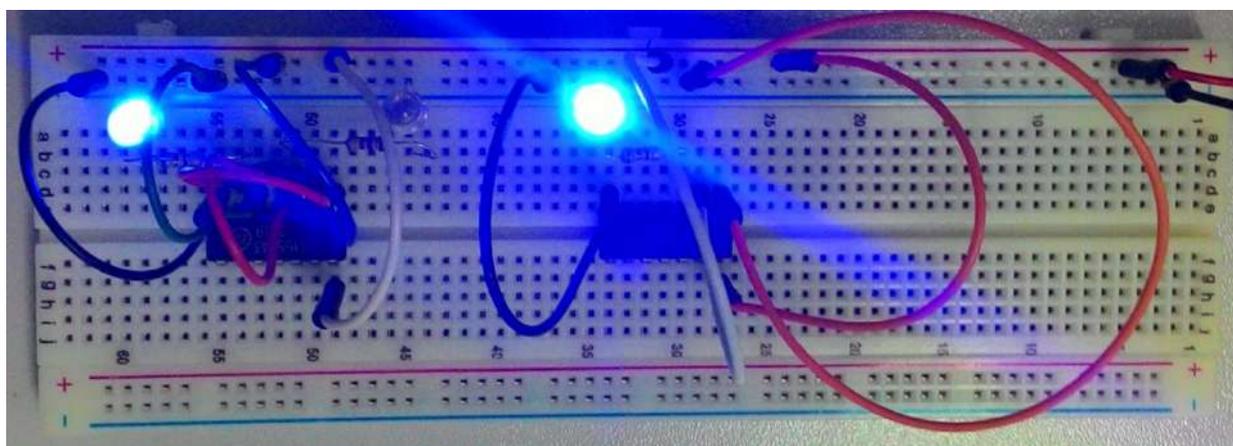


Рисунок 4. Собранная макетная плата

Список использованных источников

1. М. Димитрова, В. Пунджев - 33 схемы на триггерах. – Л.: Энергоатомиздат, 1990.
2. В.Л. Шило – Популярные цифровые микросхемы. Справочник. – М.: Радио и связь, 1989.
3. Применение интегральных микросхем в электронной вычислительной технике. Справочник. Под ред. Б.Н. Файзуллаева, Б. В. Тарабрина – М.: Радио и связь, 1987.

УДК 681.3.06

ПОСТРОЕНИЕ МОДЕЛИ АНАЛИЗА ФУРЬЕ В СРЕДЕ LABVIEW

Қалыбек Ерболат, Қожахмет Қазыбек

erashimkent@bk.ru

Студенты ЕНУ им. Л.Н.Гумилева, Астана, Казахстан

Научный руководитель –Б К. Жармакин

В настоящее время в образовательном процессе и для решения научных задач широко используются программные пакеты компании National Instruments. NI является ведущим предприятием в области разработки и изготовлении аппаратно-программных средств автоматизации управления, измерения и диагностики в широком спектре приложений.

Компания NI является разработчиком виртуальных приборов – инновационной технологией, которая в корне изменила методику проведения диагностики и создания систем автоматизации.

В данной статье выполнена компьютерная модель, построенная в среде программирования LabVIEW. В качестве примера использован модель цепи сосредоточенными параметрами, в котором используется основной метод анализа.

LabVIEW — интегрированная графическая среда разработчика для создания интерактивных программ сбора, обработки данных и управления периферийными устройствами. Программирование осуществляется на уровне функциональных блок-схем (блок-диаграмм) с использованием графического языка G.

LabVIEW имеет обширные библиотеки функций для решения различных задач: ввод/вывод, обработка, анализ и визуализация сигналов; контроль и управление технологическими объектами; статистический анализ и комплексные вычисления и др.

Анализ Фурье является методом анализа сложных периодических сигналов во времени. Данный анализ позволяет разложить любую несинусоидальную периодическую функцию в ряд Фурье, то есть на составляющие \sin и \cos (возможно, в бесконечный ряд), а так же на постоянные составляющие. Такое разложение позволяет проводить дальнейший анализ, а так же получать объединенные сигналы различных форм.

Учитывая математическую теорему Фурье, о разложении в ряд Фурье, периодическая функция $f(t)$ может быть представлена следующей формулой:

$$f(t) = A_0 + A_1 \cos at + A_2 \cos 2at + \dots + B_1 \sin at + B_2 \sin 2at + \dots$$

где:

A_0 – постоянная составляющая входного сигнала

$A_1 \cos \omega t + B_1 \sin \omega t$ – собственная составляющая (имеет частоту и период равный частоте и периоду входного сигнала)

$A_n \cos n\omega t + B_n \sin n\omega t$ – n-ная гармоника функции

A, B – коэффициенты

$2\pi/T$ – собственная круговая частота, или период частоты входного периодического сигнала